

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)

REC'D 15 DEC 2004

WIBG PCT



| | | |
|---|---|--|
| Aktenzeichen des Anmelders oder Anwalts In1248WO | WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/PEA/416) | |
| Internationales Aktenzeichen PCT/DE 03/03130 | Internationales Anmeldedatum (Tag/Monat/Jahr) 19.09.2003 | Prioritätsdatum (Tag/Monat/Jahr) 07.10.2002 |
| Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L21/336 | | |
| Anmelder INFINEON TECHNOLOGIES AG et al. | | |

- Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
- Dieser BERICHT umfaßt insgesamt 7 Blätter einschließlich dieses Deckblatts.
 - ☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

Diese Anlagen umfassen insgesamt 6 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Bescheids
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Regel 66.2 a)ii) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☐ Bestimmte Mängel der internationalen Anmeldung
- VIII ☐ Bestimmte Bemerkungen zur internationalen Anmeldung

| | |
|--|---|
| Datum der Einreichung des Antrags 15.04.2004 | Datum der Fertigstellung dieses Berichts 16.12.2004 |
| Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde  Europäisches Patentamt - P.B. 5818 Patentlaan 2 NL-2280 HV Rijswijk - Pays Bas Tel. +31 70 340 - 2040 Tx: 31 651 epo nl Fax: +31 70 340 - 3016 | Bevollmächtigter Bediensteter Nesso, S Tel. +31 70 340-4564  |

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):

Beschreibung, Seiten

1-17 in der ursprünglich eingereichten Fassung

Ansprüche, Nr.

1-19 eingegangen am 08.09.2004 mit Schreiben vom 01.09.2004

Zeichnungen, Blätter

1/5-5/5 in der ursprünglich eingereichten Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um:

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
- ☐ Ansprüche, Nr.:
- ☐ Zeichnungen, Blatt:

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE 03/03130

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen.)

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

- | | |
|--------------------------------|---|
| 1. Feststellung | |
| Neuheit (N) | Ja: Ansprüche 9-19 Nein: Ansprüche 1-8 |
| Erfinderische Tätigkeit (IS) | Ja: Ansprüche 9-19 Nein: Ansprüche 1-8 |
| Gewerbliche Anwendbarkeit (IA) | Ja: Ansprüche 1-19 Nein: Ansprüche: |

2. Unterlagen und Erklärungen:

siehe Beiblatt

Zu Punkt V

Begründete Feststellung hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

Es wird auf die folgenden Dokumente verwiesen:

- D1: DE 198 12 643 C (SIEMENS AG) 8. Juli 1999 (1999-07-08)
- D2: US-A-5 949 116 (WEN JEMMY) 7. September 1999 (1999-09-07)
- D3: US-B1-6 346 729 (LEE JIN-YUAN ET AL) 12. Februar 2002 (2002-02-12)
- D4: DE 197 49 378 A (SIEMENS AG) 20. Mai 1999 (1999-05-20)
- D5: US-A-5 908 313 (TAYLOR MITCHELL C ET AL) 1. Juni 1999 (1999-06-01)
- D6: US 2002/142552 A1 (WU CHING-YUAN) 3. Oktober 2002 (2002-10-03)
- D7: WO 02 43109 A (HOFMANN FRANZ ;RISCH LOTHAR (DE); INFINEON TECHNOLOGIES AG (DE); R) 30. Mai 2002 (2002-05-30)
- D8: US-A-5 043 778 (TANG THOMAS E ET AL) 27. August 1991 (1991-08-27)
- D9: US-A-5 620 912 (HWANG LEE Y ET AL) 15. April 1997 (1997-04-15)
- D10: US-B1-6 403 482 (LAM CHUNG HON ET AL) 11. Juni 2002 (2002-06-11)
- D11: ANANTHA N G ET AL: 'SELF-ALIGNED IGFET WITH SILICON DIOXIDE ISOLATED SOURCE AND DRAIN' IBM TECHNICAL DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US, Bd. 22, Nr. 11, April 1980 (1980-04), Seiten 4895-4899, XP000806625 ISSN: 0018-8689
- D12: WO 01 50535 A (MCFADDEN ROBERT S ;CHAU ROBERT S (US); INTEL CORP (US); MORROW PAT) 12. Juli 2001 (2001-07-12)
- D13: US 2001/025998 A1 (TSUCHIAKI MASAKATSU) 4. Oktober 2001 (2001-10-04)

Die vorliegende Anmeldung erfüllt nicht die Erfordernisse des Artikels 33(1) PCT, weil der Gegenstand des Anspruchs 1 im Sinne von Artikel 33(2) PCT nicht neu ist.

1 Anspruch 1 ist nicht neu (Artikel 33(2) PCT).

Dokument **D3** offenbart (die Verweise in Klammern beziehen sich auf dieses Dokument):

einen Feldeffekttransistor (cf. Fig.8) mit lokaler Source-/Drainisolation mit

- einem Halbleitersubstrat (1);
- einer Sourcevertiefung und einer Drainvertiefung die im Halbleitersubstrat (10, 11) voneinander beabstandet ausgebildet sind;
- einer Vertiefungs-Isolationsschicht (9), die zumindest in einem Bodenbereich der Sourcevertiefung und der Drainvertiefung ausgebildet ist;
- einer elektrisch leitenden Füllschicht (10), die zur Realisierung von Source- und Draingebieten und zum Auffüllen der Source- und Drainvertiefungen an der Oberfläche der Vertiefungs—Isolationsschicht ausgebildet ist;
- einem Gatedielektrikum (3), das an der Substratoberfläche zwischen der Source- und Drainvertiefung ausgebildet ist; und
- einer Gateschicht (4), die an der Oberfläche des Gatedielektrikums (3) ausgebildet ist,

dadurch gekennzeichnet, dass die Source- und Drainvertiefungen in einem oberen Bereich eine Verbreiterung (cf. Fig.6 und Fig.7) mit einer vorbestimmten Tiefe zur Realisierung von definierten Kanal-Anschlussbereichen aufweisen.

Daher ist Anspruch 1 nicht neu (Art.3(2) PCT).

2. Die abhängigen Ansprüche 2-8 enthalten keine Merkmale, die in Kombination mit den Merkmalen irgendeines Anspruchs, auf den sie sich beziehen, die Erfordernisse des PCT in bezug auf Neuheit bzw. erfinderische Tätigkeit erfüllen, siehe die Dokumente D1-D13 und die entsprechenden im Recherchenbericht angegebenen Textstellen.
3. Anspruch 9 ist unklar (Artikel 6 PCT). Die Teilschritte in Schritt b) sollten als eine Reihenfolge spezifiziert werden.
4. Der Gegenstand des Anspruchs 9, klargestellt wie in §3, ist neu und erfinderisch (Art.33(2) und (3) PCT).

4.1 Das Dokument D1 wird als nächstliegender Stand der Technik gegenüber dem Gegenstand des Anspruchs 9 angesehen. Es offenbart (die Verweise in Klammern beziehen sich auf dieses Dokument):

ein Verfahren zur Herstellung eines Feldeffekttransistors mit lokaler Source-/Drainisolation mit den Schritten:

- a) Ausbilden und Strukturieren eines Gatestapels mit einer Gateschicht und einer Gatedielektrikum auf einem Halbleitersubstrat;
- b) Ausbilden von Source- und Drainvertiefungen am Gatestapel im Halbleitersubstrat;
- c) Ausbilden einer Vertiefungs-Isolationsschicht zumindest in einem Bodenbereich der Source- und Drainvertiefungen; und
- d) Ausfüllen der zumindest teilweise isolierten Source- und Drainvertiefungen mit einer Füllschicht zur Realisierung von Source- und Draingebieten,

Der Gegenstand des Anspruchs 9 unterscheidet sich daher von diesem bekannten Verfahren dadurch, daß in Schritt b)

- erste Vertiefungen für Realisierung von Kanal-Anschlussbereichen im Halbleitersubstrat;
- Spacer am Gatestapel; und
- zweite Vertiefungen unter Verwendung der Spacer als Maske in den ersten Vertiefungen und im Halbleitersubstrat ausgebildet werden.

Der Gegenstand des Anspruchs 1 ist somit neu (Artikel 33 (2) PCT).

- 4.2 Zusätzlich erfüllt der Gegenstand des Anspruchs 9 die Erfordernisse des PCT in bezug auf erfinderische Tätigkeit (Art.33(3) PCT).

Die mit der vorliegenden Erfindung zu lösende Aufgabe kann somit darin gesehen werden, daß ein Feld-effekttransistor mit einem genau definierten Anschlussbereich für das Kanalgebiet erhalten wird.

Die in Anspruch 9 der vorliegenden Anmeldung für diese Aufgabe vorgeschlagene Lösung beruht aus den folgenden Gründen auf einer erfinderischen Tätigkeit (Artikel 33(3) PCT):

Die Verwendung von Spacern als Ätzmaske zur weiteren Vertiefung der ersten Vertiefung auszubilden ist aus dem vorliegenden Stand der Technik weder

bekannt, noch wird sie durch ihn nahegelegt.

Der Gegenstand des Anspruchs 9 erfüllt damit die Erfordernisse des PCT in bezug auf Neuheit und erfinderische Tätigkeit (Art.33(2) und (3) PCT).

- 5 Die Ansprüche 10-19 sind vom Anspruch 9 abhängig und erfüllen damit ebenfalls die Erfordernisse des PCT in bezug auf Neuheit und erfinderische Tätigkeit.
- 6 Ansprüche 1-19 erfüllen ebenfalls die Erfordernisse des Artikels 33(4) PCT in bezug auf gewerbliche Anwendbarkeit.

Patentansprüche

1. Feldeffekttransistor mit lokaler Source-/Drainisolation mit

5 einem Halbleitersubstrat (1);
einer Sourcevertiefung (SV) und einer Drainvertiefung (DV),
die im Halbleitersubstrat (1) voneinander beabstandet ausge-
bildet sind;
einer Vertiefungs-Isolationsschicht (VI), die zumindest in
10 einem Bodenbereich der Sourcevertiefung (SV) und der Drain-
vertiefung (DV) ausgebildet ist;
einer elektrisch leitenden Füllschicht (F), die zur Realisie-
rung von Source- und Draingebieten (S, D) und zum Auffüllen
der Source- und Drainvertiefungen (SV, DV) an der Oberfläche
15 der Vertiefungs-Isolationsschicht (VI) ausgebildet ist;
einem Gatedielektrikum (3), das an der Substratoberfläche
(SO) zwischen der Source- und Drainvertiefung (SV, DV) ausge-
bildet ist; und
einer Gateschicht (4), die an der Oberfläche des Gatedie-
20 lektrikums (3) ausgebildet ist,
d a d u r c h g e k e n n z e i c h n e t , dass die Source- und
Drainvertiefungen (SV, DV) in einem oberen Bereich eine Ver-
breiterung (V1) mit einer vorbestimmten Tiefe (d1) zur Realie-
sierung von definierten Kanal-Anschlussbereichen (KA) aufwei-
25 sen.

2. Feldeffekttransistor nach Patentanspruch 1, d a d u r c h
g e k e n n z e i c h n e t , dass die Vertiefungs-Isolations-
schicht (VI) ferner eine im Seitenwandbereich der Source- und
30 Drainvertiefungen (SV, DV) ausgebildete Vertiefungs-Seiten-
wandisolationsschicht (8A) aufweist, die jedoch das Gatedie-
lektrikum (3) nicht berührt.

3. Feldeffekttransistor nach Patentanspruch 1 oder 2, da -
durch gekennzeichnet, dass die elektrisch lei-
tende Füllschicht (F) eine Keimschicht (10) zur Verbesserung
eines Abscheidens in den Source- und Drainvertiefungen (SV,
5 DV) aufweist.
4. Feldeffekttransistor nach einem der Patentansprüche 1 bis
3, dadurch gekennzeichnet, dass die Gate-
schicht (4) eine an ihren Seitenwänden ausgebildete Gateiso-
10 lationsschicht (6) aufweist.
5. Feldeffekttransistor nach einem der Patentansprüche 1 bis
4, dadurch gekennzeichnet, dass er von fla-
chen Grabenisolierungen (2) begrenzt ist.
- 15 6. Feldeffekttransistor nach einem der Patentansprüche 1 bis
5, dadurch gekennzeichnet, dass er laterale
Strukturen < 100 nm aufweist.
- 20 7. Feldeffekttransistor nach einem der Patentansprüche 1 bis
6, dadurch gekennzeichnet, dass die Source-
und Drainvertiefungen (SV, DV) eine Tiefe (d1+d2) von ca. 50
nm bis 300 nm aufweisen.
- 25 8. Feldeffekttransistor nach einem der Patentansprüche 2 bis
7, dadurch gekennzeichnet, dass sich die Ver-
tiefungs-Seitenwandisolationsschicht (8A) in einen Bereich
unterhalb des Gatedielektrikums (3) hinein erstreckt.
- 30 9. Verfahren zur Herstellung eines Feldeffekttransistors mit
lokaler Source-/Drainisolation mit den Schritten:

- a) Ausbilden und Strukturieren eines Gatestapels mit einer Gateschicht (4) und einem Gatedielektrikum (3) auf einem Halbleitersubstrat (1);
- b) Ausbilden von Source- und Drainvertiefungen (SV, DV, V1, V2) am Gatestapel (3, 4, 5, 6) im Halbleitersubstrat (1);
- 5 c) Ausbilden einer Vertiefungs-Isolationsschicht (8, 8A, 9) zumindest in einem Bodenbereich der Source- und Drainvertiefungen (SV, DV); und
- d) Auffüllen der zumindest teilweise isolierten Source- und Drainvertiefungen (SV, DV) mit einer Füllschicht (F; 10, 13) zur Realisierung von Source- und Draingebieten (S, D),
dadurch gekennzeichnet, dass in Schritt b) erste Vertiefungen (V1) zur Realisierung von Kanal-Anschlussbereichen (KA) im Halbleitersubstrat (1);
- 10 Spacer (7) am Gatestapel (3, 4, 5, 6); und
- 15 zweite Vertiefungen (V2) unter Verwendung der Spacer (7) als Maske in den ersten Vertiefungen (V1) und im Halbleitersubstrat (1) ausgebildet werden.
- 20 10. Verfahren nach Patentanspruch 9, dadurch gekennzeichnet, dass in Schritt a)
- ein STI-Verfahren zur Ausbildung von flachen Grabenisolierungen (2);
- eine Implantation zur Ausbildung von Wannen- und/oder Kanal-Dotiergebieten im Halbleitersubstrat (1);
- 25 eine thermische Oxidation zur Ausbildung des Gatedielektrikums (3);
- eine Abscheidung von Halbleitermaterial zur Ausbildung der Gateschicht (4);
- 30 eine TEOS-Abscheidung zur Ausbildung einer Hartmaskenschicht (5);

ein lithografisches Verfahren zur Strukturierung von zumindest der Gateschicht (4) unter Verwendung der Hartmaskenschicht (5); und
eine weitere thermische Oxidation zur Ausbildung einer Gate-Seitenwandisolationsschicht (6) an den Seitenwänden der Gateschicht (4) durchgeführt wird.

11. Verfahren nach Patentanspruch 9 oder 10, dadurch gekennzeichnet, dass die ersten Vertiefungen (V1) unter Verwendung des Gatestapels (3, 4, 5, 6) und der flachen Grabenisolationsschicht (2) als Maske bis zu einer ersten Tiefe (d1) von ca. 10 bis 50 nm von der Substratoberfläche (SO) durch anisotropes Ätzen ausgebildet werden.

12. Verfahren nach Patentanspruch 9 bis 11, dadurch gekennzeichnet, dass vor dem Ausbilden der Spacer (7) eine erste Halbleiter-Schutzschicht zumindest an den Kanal-Anschlussbereichen (KA) ausgebildet wird.

13. Verfahren nach einem der Patentansprüche 9 bis 12, dadurch gekennzeichnet, dass die Spacer (7) durch konformales Abscheiden von Siliziumnitrid und anisotropes Rückätzen ausgebildet werden.

14. Verfahren nach einem der Patentansprüche 9 bis 12, dadurch gekennzeichnet, dass die zweiten Vertiefungen (V2) bis zu einer Tiefe (d1+d2) von ca. 50 bis 300 nm von der Substratoberfläche (SO) durch anisotropes Ätzen ausgebildet werden.

15. Verfahren nach einem der Patentansprüche 9 bis 14, dadurch gekennzeichnet, dass
in Schritt c)

eine Isolations-Maskenschicht (8) in den Source- und Drain-
vertiefungen (SV, DV) ausgebildet und zumindest im Bodenbe-
reich wieder entfernt wird; und
jeweils eine Vertiefungs-Bodenisolationsschicht (9) im frei-
gelegten Bodenbereich ausgebildet wird.

16. Verfahren nach Patentanspruch 15, d a d u r c h g e -
k e n n z e i c h n e t , dass ferner
die verbleibende Isolations-Maskenschicht (8) auch an den
Seitenwänden der Vertiefungen entfernt; und
Vertiefungs-Seitenwandisolationsschichten (8A) in den freige-
legten Seitenwandbereichen der Vertiefungen ausgebildet wer-
den.

17. Verfahren nach Patentanspruch 15 oder 16, d a d u r c h
g e k e n n z e i c h n e t , dass
als Isolations-Maskenschicht (8) eine Siliziumnitridschicht;
und
als Vertiefungs-Boden- und/oder Seitenwand-Isolationsschicht
(9, 8A) eine Siliziumdioxidschicht ausgebildet wird.

18. Verfahren nach einem der Patentansprüche 9 bis 17, d a -
d u r c h g e k e n n z e i c h n e t , dass
in Schritt d)
d1) eine Keimschicht (10), eine Keim-Schutzschicht (11) und
eine Keim-Maskenschicht (12) ganzflächig ausgebildet wird;
d2) die Keim-Maskenschicht (12) bis in die Source- und Drain-
vertiefungen (SV, DV) zurückgebildet wird;
d3) die Keim-Schutzschicht (11) unter Verwendung der Keim-
Maskenschicht (12) als Maske teilweise entfernt wird;
d4) die zurückgebildete Keim-Maskenschicht (12) entfernt
wird;

d5) die Keimschicht (10) unter Verwendung der Keim-Schutzschicht (11) als Maske teilweise entfernt wird;
d6) die Keim-Schutzschicht (11) vollständig entfernt wird;
und

5 d7) eine Aufwachsschicht (13) auf der Keimschicht (10) bis in einen Bereich der Substratoberfläche (SO) ausgebildet wird.

19. Verfahren nach Patentanspruch 18, d a d u r c h g e -
k e n n z e i c h n e t , d a s s

10 in Schritt d6) ferner die Spacer (7) entfernt werden; und
in Schritt d)

d8) Implantations-Spacer (14) am Gatestapel (3, 4, 6) ausgebildet;

d9) die Hartmaskenschicht (5) entfernt; und

15 d10) eine Implantation (I) zur Dotierung der Gateschicht (4) sowie der Aufwachsschicht (13) durchgeführt werden.

Translation

PATENT COOPERATION TREATY

PCT/DE2003/003130



PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

| | | |
|---|---|--|
| Applicant's or agent's file reference In1248WO | FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416) | |
| International application No. PCT/DE2003/003130 | International filing date (day/month/year) 19 September 2003 (19.09.2003) | Priority date (day/month/year) 07 October 2002 (07.10.2002) |
| International Patent Classification (IPC) or national classification and IPC H01L 21/336 | | |
| Applicant INFINEON TECHNOLOGIES AG | | |

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of 7 sheets, including this cover sheet.
- ☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).
- These annexes consist of a total of 6 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

| | |
|--|--|
| Date of submission of the demand 15 April 2004 (15.04.2004) | Date of completion of this report 16 December 2004 (16.12.2004) |
| Name and mailing address of the IPEA/EP | Authorized officer |
| Facsimile No. | Telephone No. |

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/DE2003/003130

I. Basis of the report

1. With regard to the elements of the international application:*

☐ the international application as originally filed

☒ the description:
 pages 1-17, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

☒ the claims:
 pages 1-19, as originally filed
 pages _____, as amended (together with any statement under Article 19
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

☒ the drawings:
 pages 1/5,5/5, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

☐ the sequence listing part of the description:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item. These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
☐ the language of publication of the international application (under Rule 48.3(b)).
☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
☐ filed together with the international application in computer readable form.
☐ furnished subsequently to this Authority in written form.
☐ furnished subsequently to this Authority in computer readable form.
☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
☐ the claims, Nos. _____
☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.
PCT/DE 03/03130

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

| | | | |
|-------------------------------|--------|------|-----|
| Novelty (N) | Claims | 9-19 | YES |
| | Claims | 1-8 | NO |
| Inventive step (IS) | Claims | 9-19 | YES |
| | Claims | 1-8 | NO |
| Industrial applicability (IA) | Claims | 1-19 | YES |
| | Claims | | NO |

2. Citations and explanations

Reference is made to the following documents:

- D1: DE 198 12 643 C (SIEMENS AG) 8 July 1999
(1999-07-08)
- D2: US-A-5 949 116 (WEN JEMMY) 7 September 1999
(1999-09-07)
- D3: US-B1-6 346 729 (LEE JIN-YUAN ET AL.) 12 February
2002 (2002-02-12)
- D4: DE 197 49 378 A (SIEMENS AG) 20 May 1999
(1999-05-20)
- D5: US-A-5 908 313 (TAYLOR MITCHELL C ET AL.) 1 June
1999 (1999-06-01)
- D6: US 2002/142552 A1 (WU CHING-YUAN) 3 October 2002
(2002-10-03)
- D7: WO 02 43109 A (HOFMANN FRANZ; RISCH LOTHAR (DE);
INFINEON TECHNOLOGIES AG (DE); R) 30 May 2002
(2002-05-30)
- D8: US-A-5 043 778 (TANG THOMAS E ET AL.) 27 August 1991
(1991-08-27)
- D9: US-A-5 620 912 (HWANG LEE Y ET AL.) 15 April 1997
(1997-04-15)
- D10: US-B1-6 403 482 (LAM CHUNG HON ET AL.) 11 June 2002
(2002-06-11)
- D11: ANANTHA N G ET AL.: 'SELF-ALIGNED IGFET WITH SILICON

DIOXIDE ISOLATED SOURCE AND DRAIN' IBM TECHNICAL
DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US,
Vol. 22, No. 11, April 1980 (1980-04),
pages 4895-4899, XP000806625 ISSN: 0018-8689

D12: WO 01 50535 A (MCFADDEN ROBERT S; CHAU ROBERT S
(US); INTEL CORP (US); MORROW PAT) 12 July 2001
(2001-07-12)

D13: US 2001/025998 A1 (TSUCHIAKI MASAKATSU) 4 October
2001 (2001-10-04)

The present application does not satisfy the requirements
of PCT Article 33(1) because the subject matter of claim 1
is not novel (PCT Article 33(2)).

1. Claim 1 is not novel (PCT Article 33(2)).

D3 discloses (the references in parentheses relate
to D3):

a field-effect transistor (cf. fig. 8) with local
source/drain isolation having

- a semiconductor substrate (1);
- a source recess and a drain recess formed in the
semiconductor substrate (10, 11) in a mutually
spaced-apart manner;
- a recess isolating layer (9) formed at least in a
floor area of the source recess and drain recess;
- an electrically conductive filling layer (10)
formed on the surface of the recess isolating
layer in order to produce source and drain
regions and to fill the source and drain
recesses;
- a gate dielectric (3) formed on the substrate
surface between the source recess and the drain

recess; and

- a gate layer (4) formed on the surface of the gate dielectric (3),

characterised in that the source and drain recesses have, in an upper area, an enlargement (cf. fig. 6 and fig. 7) having a predetermined depth in order to produce defined channel connection areas.

Claim 1 is therefore not novel (PCT Article 33(2)).

2. Dependent claims 2 to 8 do not contain any features which in combination with the features of any claim to which they refer back meet the PCT requirements for novelty and inventive step (see documents D1 to D13 and the relevant passages cited in the search report).
3. Claim 9 is unclear (PCT Article 6). The different steps involved in (b) should be specified as a sequence.
4. The subject matter of claim 9, clarified as in point 3, is novel and inventive (PCT Article 33(2) and (3)).

4.1 D1 is considered to be the prior art closest to the subject matter of claim 9. Said document discloses (the references in parentheses relate to D1):

A method for the production of a field-effect transistor having local source/drain isolation, with the following steps:

- (a) formation and structuring of a gate stack with a gate layer and a gate dielectric on a semiconductor substrate;
- (b) formation of source and drain recesses at the gate stack in the semiconductor substrate;
- (c) formation of a recess isolating layer at least in one floor area of the source and drain recesses; and
- (d) filling of the at least partially isolated source and drain recesses with a filling layer to produce source and drain regions.

The subject matter of claim 9 therefore differs from this known method in that, in step (b)

- first recesses are formed to produce channel connection areas in the semiconductor substrate;
- spacers are formed at the gate stack; and
- second recesses are formed in the first recesses and in the semiconductor substrate using the spacers as a mask.

The subject matter of claim 9 is therefore novel (PCT Article 33(2)).

4.2 The subject matter of claim 9 also satisfies the PCT requirements for inventive step (PCT Article 33(3)).

The problem addressed by the present invention can therefore be considered that of providing a field-effect transistor having a precisely defined connection area for the channel region.

The solution to this problem as proposed in claim 9 of the present application involves an inventive step (PCT Article 33(3)) for the following reasons:

The use of spacers as an etching mask for the purpose of further recessing the first recess is neither known nor obvious from the available prior art.

The subject matter of claim 9 therefore satisfies the PCT requirements for novelty and inventive step (PCT Article 33(2) and (3)).

5. Claims 10 to 19 are dependent on claim 9 and therefore likewise satisfy the PCT requirements for novelty and inventive step.
6. Claims 1 to 19 likewise satisfy the requirements for industrial applicability (PCT Article 33(4)).